

Справочник по среднему семейству микроконтроллеров PICmicro™

Раздел 18. Модуль USART

Перевод основывается на технической документации DS33023A
компании Microchip Technology Incorporated, USA.

© ООО «Микро-Чип»
Москва - 2002

Распространяется бесплатно.
Полное или частичное воспроизведение материала допускается только с письменного разрешения
ООО «Микро-Чип»
тел. (095) 737-7545
www.microchip.ru

PICmicro™ Mid-Range MCU Family Reference Manual

“All rights reserved. Copyright © 1997, Microchip Technology Incorporated, USA. Information contained in this publication regarding device applications and the like is intended through suggestion only and may be superseded by updates. No representation or warranty is given and no liability is assumed by Microchip Technology Incorporated with respect to the accuracy or use of such information, or infringement of patents or other intellectual property rights arising from such use or otherwise. Use of Microchip’s products as critical components in life support systems is not authorized except with express written approval by Microchip. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights. The Microchip logo and name are registered trademarks of Microchip Technology Inc. in the U.S.A. and other countries. All rights reserved. All other trademarks mentioned herein are the property of their respective companies. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights.”

Trademarks

The Microchip name, logo, PIC, KEELOQ, PICMASTER, PICSTART, PRO MATE, and SEEVAL are registered trademarks of Microchip Technology Incorporated in the U.S.A.

MPLAB, PICmicro, ICSP and In-Circuit Serial Programming are trademarks of Microchip Technology Incorporated.

Serialized Quick-Turn Production is a Service Mark of Microchip Technology Incorporated.

All other trademarks mentioned herein are property of their respective companies.

Содержание

18.1 Введение	4
18.2 Регистры управления	5
18.3 Генератор частоты обмена USART BRG	7
18.4 Асинхронный режим USART	11
18.4.1 Асинхронный передатчик USART	11
18.4.2 Асинхронный приемник USART	13
18.4.3 Настройка 9-разрядного асинхронного приема с детектированием адреса	15
18.4.4 Выборка	17
18.5 Синхронный ведущий режим USART	19
18.5.1 Передача синхронного ведущего	19
18.5.2 Прием синхронного ведущего	21
18.6 Синхронный ведомый режим USART	22
18.6.1 Передача синхронного ведомого	22
18.6.2 Прием синхронного ведомого	23
18.7 Инициализация	24
18.8 Ответы на часто задаваемые вопросы	25
18.9 Дополнительная литература	26

18.1 Введение

USART – это один из модулей последовательного порта ввода/вывода (имеет существенные отличия от модуля SSP), который может работать в полнодуплексном асинхронном режиме для связи с терминалами, персональными компьютерами или синхронном полудуплексном режиме для связи с микросхемами ЦАП, АЦП, последовательными EEPROM и т.д.

USART может работать в одном из трех режимов:

- Асинхронный, полный дуплекс;
- Ведущий синхронный, полудуплекс;
- Ведомый синхронный, полудуплекс.

Биты SPEN (RCSTA<7>) и TRIS должны быть установлены в '1' для использования выводов TX/CK и RX/DT в качестве портов универсального синхронно-асинхронного приемопередатчика. Модуль USART поддерживает режим детектирования 9-разрядного адреса для работы в сетевом режиме.

Примечание 1. Модули USART в некоторых микроконтроллерах не поддерживают режим детектирования адреса. Смотрите техническую документацию на микроконтроллер.

Примечание 2. Описание режима детектирования адреса не входит в оригинальную техническую документацию DS33023A, оно взято из документов DS40300B и DS30292C.

18.2 Регистры управления

TXSTA: Регистр управления и статуса передатчика

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D
Бит 7							Бит 0

R – чтение бита
W – запись бита
U – не реализовано, читается как 0
-n – значение после POR
-x – неизвестное значение после POR

бит 7: **CSRC:** Выбор источника тактового сигнала
Синхронный режим
1 = ведущий, внутренний тактовый сигнал от BRG
0 = ведомый, внешний тактовый сигнал с входа СК

Асинхронный режим
Не имеет значения

бит 6: **TX9:** Разрешение 9-разрядной передачи
1 = 9-разрядная передача
0 = 8-разрядная передача

бит 5: **TXEN:** Разрешение передачи
1 = разрешена
0 = запрещена
Примечание. В синхронном режиме биты SREN/CREN отменяют действие бита TXEN.

бит 4: **SYNC:** Режим работы USART
1 = синхронный
0 = асинхронный

бит 3: **Не используется:** читается как '0'

бит 2: **BRGH:** Выбор высокоскоростного режима
Синхронный режим
Не имеет значения

Асинхронный режим
1 = высокоскоростной режим
0 = низкоскоростной режим

бит 1: **TRMT:** Флаг очистки сдвигового регистра передатчика TSR
1 = TSR пуст
0 = TSR полон

бит 0: **TX9D:** 9-й бит передаваемых данных (может использоваться для программной проверки четности)

RCSTA: Регистр управления и статуса приемника

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
Бит 7							Бит 0

R – чтение бита
W – запись бита
U – не реализовано, читается как 0
–n – значение после POR
–x – неизвестное значение после POR

бит 7: **SPEN:** Разрешение работы последовательного порта
1 = модуль USART включен (выводы RX/DT, TX/CK подключены к USART)
0 = модуль USART выключен

бит 6: **RX9:** Разрешение 9-разрядного приема
1 = 9-разрядный прием
0 = 8-разрядный прием

бит 5: **SREN:** Разрешение одиночного приема
Синхронный режим
1 = разрешен одиночный прием
0 = запрещен одиночный прием
Сбрасывается в '0' по завершению приема.
Примечание. В режиме ведомого не имеет значения

Асинхронный режим
Не имеет значения

бит 4: **CREN:** Разрешение приема
Синхронный режим
1 = прием разрешен (при установке бита CREN автоматически сбрасывается бит SREN)
0 = прием запрещен

Асинхронный режим
1 = прием разрешен
0 = прием запрещен

бит 3: **ADDEN:** Разрешение детектирования адреса⁽¹⁾
Асинхронный 9-разрядный прием (RX9=1)
1 = детектирование адреса разрешено. Если бит RSR<8>=1, то генерируется прерывание и загружается приемный буфер.
0 = детектирование адреса запрещено. Принимаются все байты, девятый бит может использоваться для проверки четности.

Асинхронный 8-разрядный прием (RX9=0)
Не имеет значения

Синхронный режим
Не имеет значения

бит 2: **FERR:** Ошибка кадра, сбрасывается при чтении регистра RCREG
1 = произошла ошибка кадра
0 = ошибки кадра не было

бит 1: **OERR:** Ошибка переполнения внутреннего буфера, устанавливается в '0' при сбросе бита CREN
1 = произошла ошибка переполнения
0 = ошибки переполнения не было

бит 0: **RX9D:** 9-й бит принятых данных (может использоваться для программной проверки четности)

Примечание 1. Модули USART в некоторых микроконтроллерах не поддерживают режим детектирования адреса. Смотрите техническую документацию на микроконтроллер.

18.3 Генератор частоты обмена USART BRG

BRG используется для работы USART в синхронном ведущем и асинхронном режимах. BRG представляет собой отдельный 8-разрядный генератор скорости обмена в бодах, период которого определяется значением в регистре SPBRG. В асинхронном режиме бит BRGH (TXSTA<2>) тоже влияет на скорость обмена (в синхронном режиме бит BRGH игнорируется). В таблице 18-1 указаны формулы для вычисления скорости обмена в бодах при различных режимах работы модуля USART (относительно внутреннего тактового сигнала микроконтроллера).

Учитывая требуемую скорость и F_{OSC} , выбирается самое близкое целое значение для записи в регистр SPBRG (от 0 до 255), рассчитанное по формулам приведенным в таблице 18-1. Затем рассчитывается ошибка скорости обмена.

Таблица 18-1 Формулы расчета скорости обмена данными

SYNC	BRGH = 0	BRGH = 1
0	(Асинхронный) Скорость обмена = $F_{OSC} / (64 (X + 1))$	(Асинхронный) Скорость обмена = $F_{OSC} / (16 (X + 1))$
1	(Синхронный) Скорость обмена = $F_{OSC} / (4 (X + 1))$	(Синхронный) Скорость обмена = $F_{OSC} / (4 (X + 1))$

X = значение регистра SPBRG (от 0 до 255)

В примере 18-1 показан расчет значения для регистра SPBRG и погрешность скорости обмена для следующих условий:

$F_{OSC} = 16$ МГц;
Скорость приема/передачи данных = 9600 бит/с;
BRGH = 0;
SYNC = 0.

Пример 18-1 Расчет значения для регистра SPBRG и погрешность скорости обмена

Желаемое значение скорости = $F_{OSC} / (64 (X + 1))$

$9600 = 16\,000\,000 / (64 (X + 1))$

$X = [25.042] = 25$

Вычисленное значение скорости = $16\,000\,000 / (64 (25 + 1)) = 9615$

Ошибка = $100 \times (\text{Вычисленное} - \text{Желаемое}) / \text{Желаемое значение скорости}$

Ошибка = $100 \times (9615 - 9600) / 9600 = 0.16\%$

В некоторых случаях может быть выгодно использовать высокоскоростной режим работы USART (BRGH=1), поскольку уравнение $F_{OSC} / (16 (X + 1))$ позволяет уменьшить погрешность скорости.

Запись нового значения в регистр SPBRG сбрасывает таймер BRG, гарантируя немедленный переход на новую скорость.

Таблица 18-2 Регистры и биты, связанные с работой генератора BRG

Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR, BOR	Другие сбросы
TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
SPBRG	Регистр генератора скорости USART								0000 0000	0000 0000

Обозначения: - = не используется, читается как 0; u = не изменяется; x = не известно; q = зависит от условий. Затененные биты на работу не влияют.

Таблица 18-3 Скорость обмена в синхронном режиме

Скорость обмена (К)	Fosc = 20 МГц			Fosc = 16 МГц			Fosc = 10 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	Нет	-	-	Нет	-	-	Нет	-	-
1,2	Нет	-	-	Нет	-	-	Нет	-	-
2,4	Нет	-	-	Нет	-	-	Нет	-	-
9,6	Нет	-	-	Нет	-	-	9,166	+1,73	255
19,2	19,53	+1,73	255	19,23	+0,16	207	19,23	+0,16	129
76,8	76,92	+0,16	64	76,92	+0,16	51	7576	-1,36	32
96	96,15	+0,16	51	95,24	-0,79	41	96,15	+0,16	25
300	294,1	-1,96	16	307,69	+2,56	12	312,5	+4,17	7
500	500	0	9	500	0	7	500	0	4
Максим.	5000	-	0	4000	-	0	2500	-	0
Миним.	19,53	-	255	15,625	-	255	9,766	-	255

Скорость обмена (К)	Fosc = 7,15909 МГц			Fosc = 5,0688 МГц			Fosc = 4 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	Нет	-	-	Нет	-	-	Нет	-	-
1,2	Нет	-	-	Нет	-	-	Нет	-	-
2,4	Нет	-	-	Нет	-	-	Нет	-	-
9,6	9,622	+0,23	185	9,6	0	131	9,615	+0,16	103
19,2	19,24	+0,23	92	19,2	0	65	19,231	+0,16	51
76,8	77,82	+1,32	22	79,2	+3,13	15	76,923	+0,16	12
96	94,20	-1,88	18	97,48	+1,54	12	100	+4,17	9
300	298,3	-0,57	5	316,8	+5,60	3	Нет	-	-
500	Нет	-	-	Нет	-	-	Нет	-	-
Максим.	1789,8	-	0	1267	-	0	1000	-	0
Миним.	6,991	-	255	4,950	-	255	3,906	-	255

Скорость обмена (К)	Fosc = 3,579545 МГц			Fosc = 1 МГц			Fosc = 32,768 кГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	Нет	-	-	Нет	-	-	0,303	+1,14	26
1,2	Нет	-	-	1,202	+0,16	207	1,170	-2,48	6
2,4	Нет	-	-	2,404	+0,16	103	Нет	-	-
9,6	9,622	+0,23	92	9,615	+0,16	25	Нет	-	-
19,2	19,04	-0,83	46	19,24	+0,16	12	Нет	-	-
76,8	74,57	-2,90	11	83,34	+8,51	2	Нет	-	-
96	99,43	+3,57	8	Нет	-	-	Нет	-	-
300	298,3	-0,57	2	Нет	-	-	Нет	-	-
500	Нет	-	-	Нет	-	-	Нет	-	-
Максим.	894,9	-	0	250	-	0	8,192	-	0
Миним.	3,496	-	255	0,9766	-	255	0,032	-	255

Таблица 18-4 Скорость обмена в асинхронном режиме (BRGH=0)

Скорость обмена (К)	Fosc = 20 МГц			Fosc = 16 МГц			Fosc = 10 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	Нет	-	-	Нет	-	-	Нет	-	-
1,2	1,221	+1,73	255	1,202	+0,16	207	1,202	+0,16	129
2,4	2,404	+0,16	129	2,404	+0,16	103	2,404	+0,16	64
9,6	9,469	-1,36	32	9,615	+0,16	25	9,615	+1,73	15
19,2	19,53	+1,73	15	19,23	+0,16	12	19,53	+1,73	7
76,8	78,13	+1,73	3	83,33	+8,51	2	78,13	+1,73	1
96	104,2	+8,51	2	Нет	-	-	Нет	-	-
300	312,5	+4,17	0	Нет	-	-	Нет	-	-
500	Нет	-	-	Нет	-	-	Нет	-	-
Максим.	312,5	-	0	250	-	0	156,3	-	0
Миним.	1,221	-	255	0,977	-	255	0,6104	-	255

Скорость обмена (К)	Fosc = 7,15909 МГц			Fosc = 5,0688 МГц			Fosc = 4 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	Нет	-	-	0,31	+3,13	255	0,3005	-0,17	207
1,2	1,203	+0,23	92	1,2	0	65	1,202	+1,67	51
2,4	2,380	-0,83	46	2,4	0	32	2,404	+1,67	25
9,6	9,322	-2,90	11	9,9	+3,13	7	Нет	-	-
19,2	18,64	-2,90	5	19,8	+3,13	3	Нет	-	-
76,8	Нет	-	-	79,2	+3,13	0	Нет	-	-
96	Нет	-	-	Нет	-	-	Нет	-	-
300	Нет	-	-	Нет	-	-	Нет	-	-
500	Нет	-	-	Нет	-	-	Нет	-	-
Максим.	111,9	-	0	79,2	-	0	62,500	-	0
Миним.	0,437	-	255	0,3094	-	255	3,906	-	255

Скорость обмена (К)	Fosc = 3,579545 МГц			Fosc = 1 МГц			Fosc = 32,768 кГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	0,301	+0,23	185	0,300	+0,16	51	0,256	-14,67	1
1,2	1,190	-0,83	46	1,202	+0,16	12	Нет	-	-
2,4	2,432	+1,32	22	2,232	-6,99	6	Нет	-	-
9,6	9,322	-2,90	5	Нет	-	-	Нет	-	-
19,2	18,64	-2,90	2	Нет	-	-	Нет	-	-
76,8	Нет	-	-	Нет	-	-	Нет	-	-
96	Нет	-	-	Нет	-	-	Нет	-	-
300	Нет	-	-	Нет	-	-	Нет	-	-
500	Нет	-	-	Нет	-	-	Нет	-	-
Максим.	55,93	-	0	15,63	-	0	0,512	-	0
Миним.	0,2185	-	255	0,0610	-	255	0,0020	-	255

Таблица 18-5 Скорость обмена в асинхронном режиме (BRGH=1)

Скорость обмена (К)	Fosc = 20 МГц			Fosc = 16 МГц			Fosc = 10 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
9,6	9,615	+0,16	129	9,615	+0,16	103	9,615	+0,16	64
19,2	19,230	+0,16	64	19,230	+0,16	51	18,939	-1,36	32
38,4	37,878	-1,36	32	38,461	+0,16	25	39,062	+1,7	15
57,6	56,818	-1,36	21	58,823	+2,12	16	56,818	-1,36	10
115,2	113,636	-1,36	10	111,111	-3,55	8	125	+8,51	4
250	250	0	4	250	0	3	Нет	-	-
625	625	0	1	Нет	-	-	625	0	0
1250	1250	0	0	Нет	-	-	Нет	-	-

Скорость обмена (К)	Fosc = 7,16 МГц			Fosc = 5,068 МГц			Fosc = 4 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
9,6	9,520	-0,83	46	9,6	0	32	Нет	-	-
19,2	19,454	+1,32	22	18,645	-2,94	16	1,202	+0,17	207
38,4	37,286	-2,90	11	39,6	+3,12	7	2,403	+0,13	103
57,6	55,930	-2,90	7	52,8	-8,33	5	9,615	+0,16	25
115,2	111,860	-2,90	3	105,6	-8,33	2	19,231	+0,16	12
250	Нет	-	-	Нет	-	-	Нет	-	-
625	Нет	-	-	Нет	-	-	Нет	-	-
1250	Нет	-	-	Нет	-	-	Нет	-	-

Скорость обмена (К)	Fosc = 3,579 МГц			Fosc = 1 МГц			Fosc = 32,768 кГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
9,6	9,727	+1,32	22	8,928	-6,99	6	Нет	-	-
19,2	18,643	-2,90	11	20,833	+8,51	2	Нет	-	-
38,4	37,286	-2,90	5	31,25	-18,61	1	Нет	-	-
57,6	55,930	-2,90	3	62,5	+8,51	0	Нет	-	-
115,2	111,860	-2,90	1	Нет	-	-	Нет	-	-
250	223,721	-10,51	0	Нет	-	-	Нет	-	-
625	Нет	-	-	Нет	-	-	Нет	-	-
1250	Нет	-	-	Нет	-	-	Нет	-	-

18.4 Асинхронный режим USART

В этом режиме USART использует стандартный формат NRZ: один стартовый бит, восемь или девять битов данных и один стоповый бит. Наиболее часто встречается 8-разрядный формат передачи данных. Интегрированный 8-разрядный генератор BRG позволяет получить стандартные скорости передачи данных. Генератор скорости обмена может работать в одном из двух режимов: высокоскоростной (x16 BRGH=1 TXSTA<2>), низкоскоростной (x64 BRGH=0 TXSTA<2>). Приемник и передатчик последовательного порта работают независимо друг от друга, но используют один и тот же формат данных и одинаковую скорость обмена. Бит четности аппаратно не поддерживается, но может быть реализован программно, применяя 9-разрядный формат данных. Все данные передаются младшим битом вперед. В SLEEP режиме микроконтроллера модуль USART (асинхронный режим) выключен.

Выбор асинхронного режима USART выполняется сбросом бита SYNC в '0' (TXSTA<4>).

Модуль USART в асинхронном режиме состоит из следующих элементов:

- Генератор скорости обмена;
- Цепь опроса;
- Асинхронный передатчик;
- Асинхронный приемник.

18.4.1 Асинхронный передатчик USART

Структурная схема асинхронного передатчика USART показана на рисунке 18-1. Главным в передатчике является сдвиговый регистр TSR, который получает данные из буфера передатчика TXREG. Данные в регистр TXREG загружаются программно. После передачи стопового бита предыдущего байта, в последнем машинном такте цикла BRG, TSR загружается новым значением из TXREG (если оно присутствует), после чего устанавливается флаг прерывания TXIF. Прерывание может быть разрешено или запрещено битом TXIE. Флаг TXIF устанавливается независимо от состояния бита TXIE и не может быть сброшен в '0' программно. Очистка флага TXIF происходит только после загрузки новых данных в регистр TXREG. Аналогичным образом бит TRMT (TXSTA<1>) отображает состояние регистра TSR. Бит TRMT доступен только на чтение и не может вызвать генерацию прерывания.

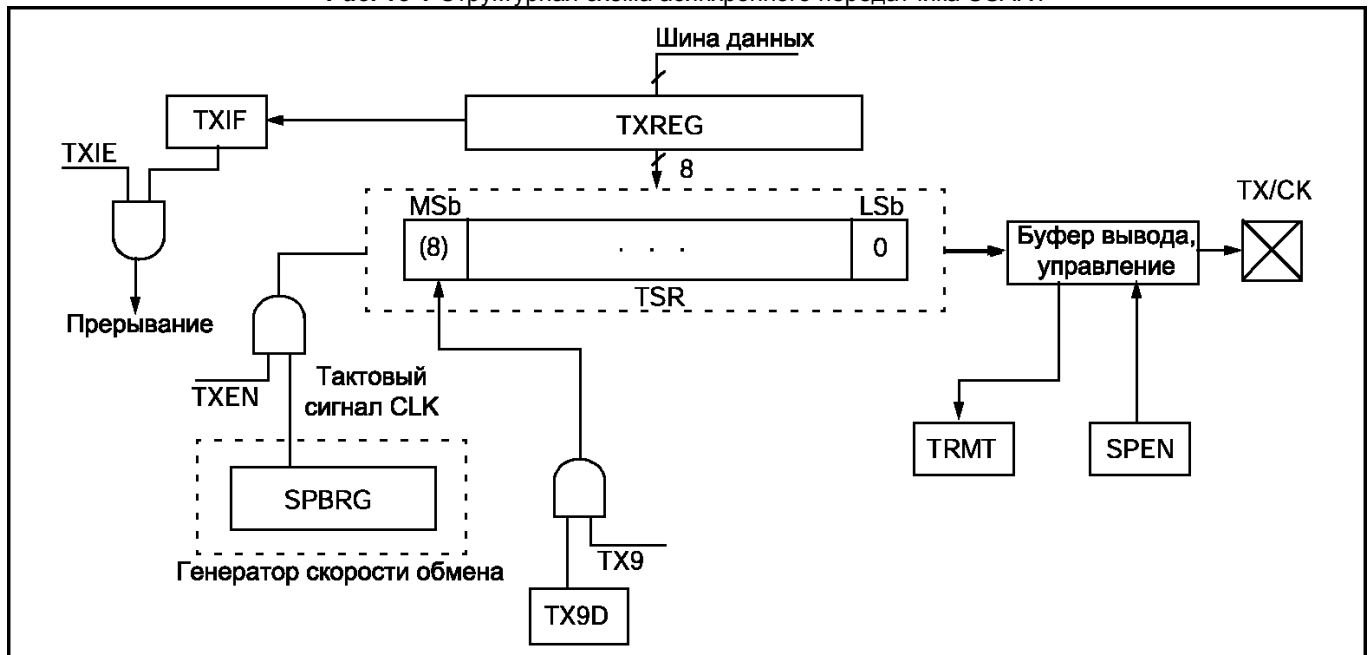
Примечание 1. Регистр TSR не отображается на память и не доступен для чтения.

Примечание 2. Флаг TXIF устанавливается в '1' только, когда бит TXEN=1 и сбрасывается автоматически в '0' после загрузки новых данных в регистр TXREG.

Для разрешения передачи необходимо установить бит TXEN (TXSTA<5>) в '1'. Передача данных не начнется до тех пор, пока в TXREG не будут загружены новые данные; не придет очередной тактовый импульс от генератора BRG (см рисунок 18-2). Можно сначала загрузить данные в TXREG, а затем установить бит TXEN. Как правило, после разрешения передачи регистр TSR пуст, таким образом, данные записываемые в TXREG сразу передаются в TSR, а TXREG остается пустым. Это позволяет реализовать слитную передачу данных (см. рисунок 18-3). Сброс бита TXEN в '0' вызовет немедленное прекращение передачи, сброс передатчика и перевод вывода TX/CK в третье состояние.

Для разрешения 9-разрядной передачи необходимо установить бит TX9 (TXSTA<6>) в '1'. Девятый бит данных записывается в бит TX9D (TXSTA<0>). Девятый бит данных должен быть указан до записи в регистр TXREG, потому что данные, записанные в регистр TXREG, могут быть сразу загружены в сдвиговый регистр TSR (если он пуст).

Рис. 18-1 Структурная схема асинхронного передатчика USART



Рекомендованная последовательность действий для передачи данных в асинхронном режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 18.3).
2. Выбрать асинхронный режим сбросом бита SYNC в '0' и установкой бита SPEN в '1'.
3. Если необходимо, разрешить прерывания установкой битов TXIE, PEIE, GIE в '1'.
4. Если передача 9-разрядная, установить бит TX9 в '1'.
5. Разрешить передачу установкой бита TXEN в '1', автоматически устанавливается флаг TXIF.
6. Если передача 9-разрядная, записать 9-й бит данных в TX9D.
7. Записать данные в регистр TXREG (начало передачи данных).

Рис. 18-2 Временная диаграмма асинхронной передачи данных

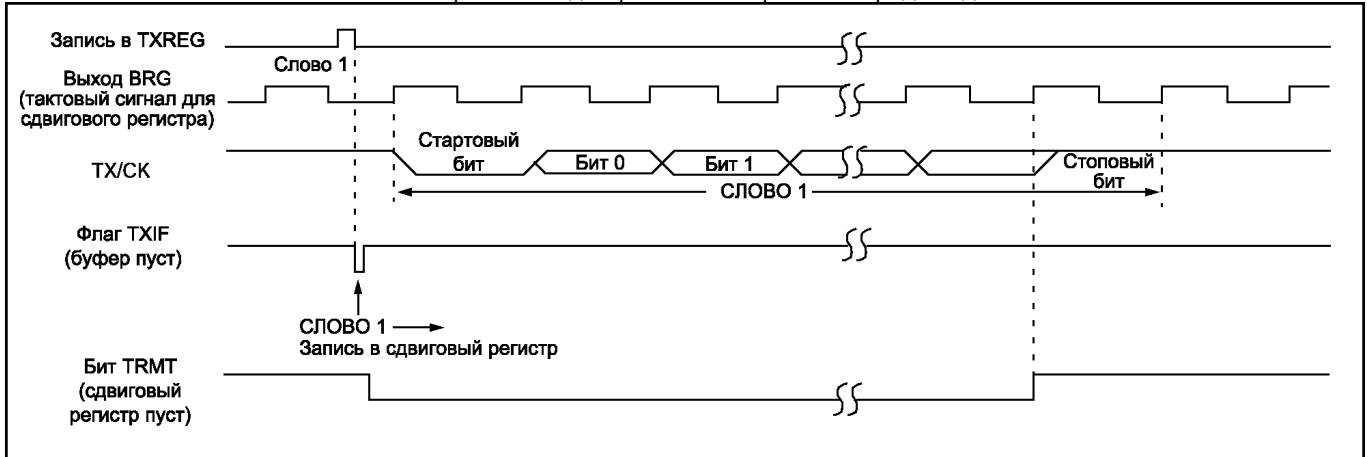


Рис. 18-3 Временная диаграмма слитной асинхронной передачи (последовательная передача двух байт)

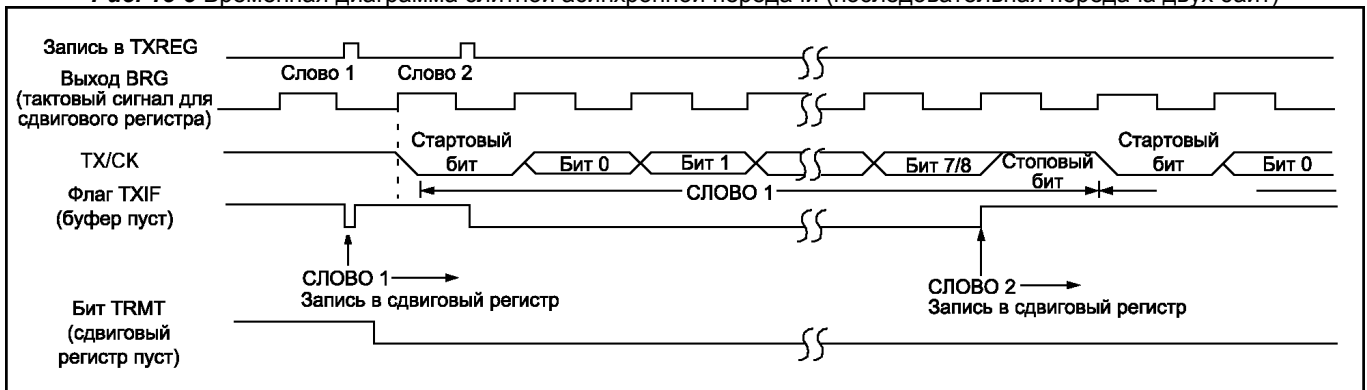


Таблица 18-6 Регистры и биты, связанные с работой передатчика USART в асинхронном режиме

Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR, BOR	Другие сбросы
INTCON	GIE	PEIE	T0IE	INTE	RBIE ⁽²⁾	T0IF	INTF	RBIF ⁽²⁾	0000 000x	0000 000u
PIR	TXIF ⁽¹⁾								0	0
PIE	TXIE ⁽¹⁾								0	0
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
TXREG	Регистр данных передатчика USART								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010
SPBRG	Регистр генератора скорости USART								0000 0000	0000 0000

Обозначения: - = не используется, читается как 0; u = не изменяется; x = не известно; q = зависит от условий. Затененные биты на работу не влияют.

Примечания:

1. Расположение битов смотрите в технической документации на микроконтроллер.
2. В некоторых микроконтроллерах эти биты могут обозначаться как GPIE и GPIF.

18.4.2 Асинхронный приемник USART

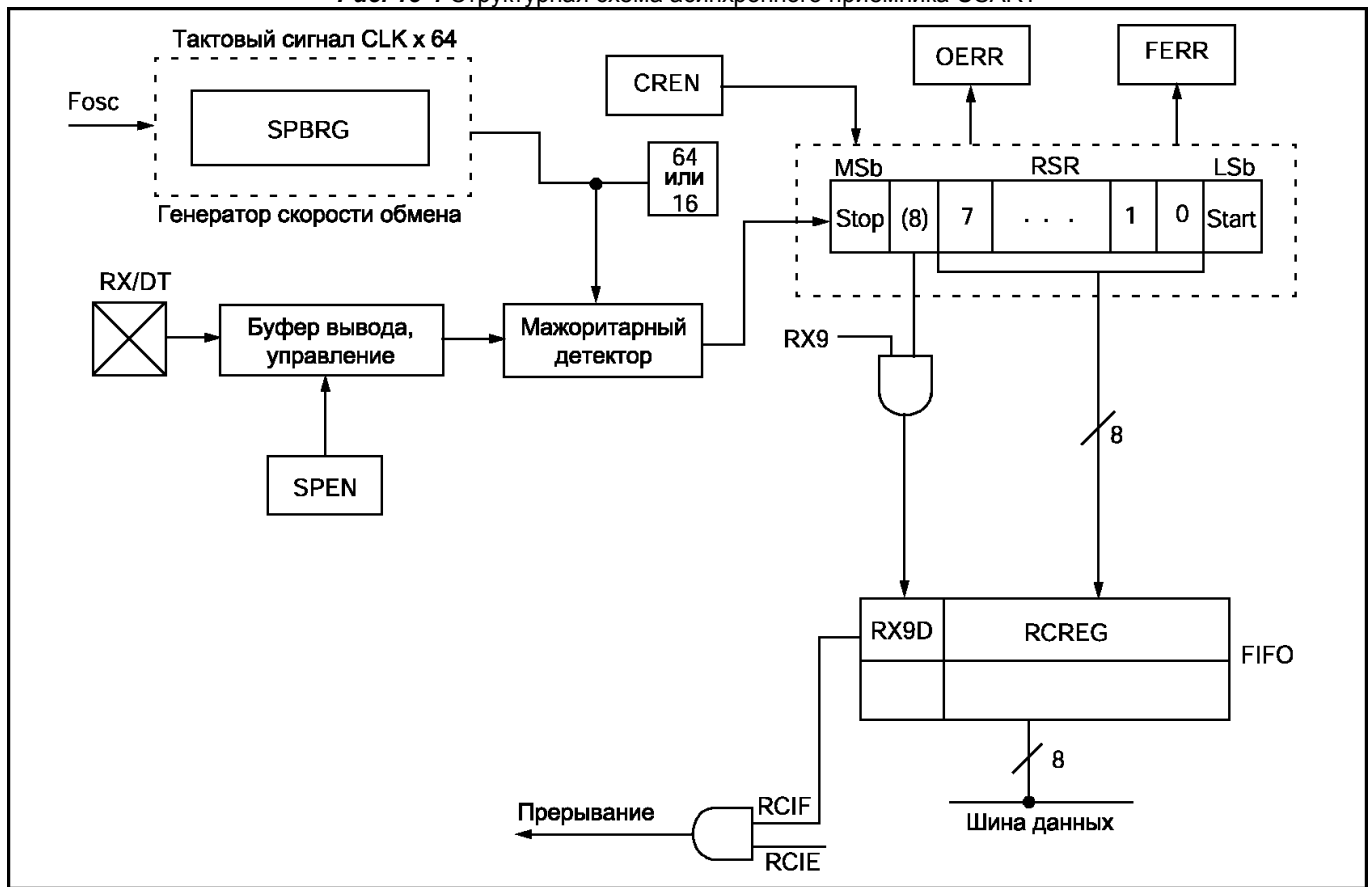
Структурная схема асинхронного приемника USART показана на рисунке 18-4. Данные подаются на вход RX/DT в блок восстановления данных, представляющий собой скоростной сдвиговый регистр, работающий на частоте в 16 раз превышающей скорость передачи или F_{osc} .

Включение приемника производится установкой бита CREN (RCSTA<4>) в '1'.

Главным в приемнике является сдвиговый регистр RSR. После получения стопового бита данные переписываются в регистр RCREG, если он пуст. После записи в регистр RCREG выставляется флаг прерывания RCIF. Прерывание можно разрешить/запретить установкой/сбросом бита RCIE. Флаг RCIF доступен только на чтение, сбрасывается аппаратно при чтении из регистра RCREG. Регистр RCREG имеет двойную буферизацию, т.е. представляет собой двухуровневый буфер FIFO. Поэтому можно принять 2 байта данных в FIFO RCREG и третий в регистр RSR. Если FIFO заполнен и обнаружен стоповый бит третьего байта, устанавливается бит переполнения приемника OERR (RCSTA<1>). Байт, принятый в RSR, будет потерян. Для извлечения двух байт из FIFO необходимо дважды прочитать регистр RCREG. Бит OERR нужно программно очистить сбросом бита CREN, т.е. запрещением приема. В любом случае, если бит OERR установлен, логика приемника выключена.

Бит ошибки кадра FERR (RCSTA<2>) устанавливается в '1', если не обнаружен стоповый бит. FERR и девятый бит принятых данных буферизируются так же, как принятые данные. Рекомендуется сначала прочитать регистр RCSTA, затем RCREG, чтобы не потерять информацию RX9D и FERR.

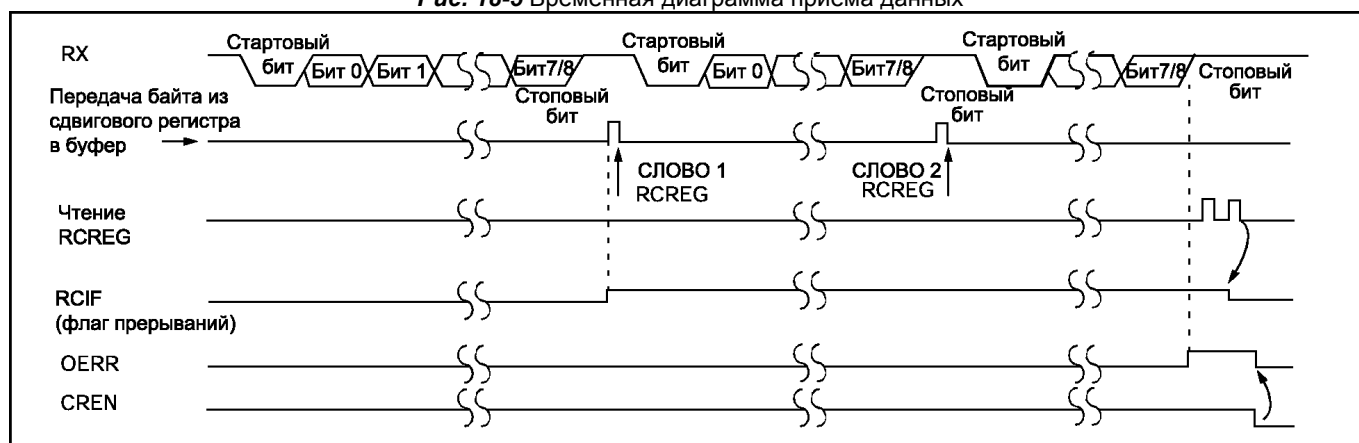
Рис. 18-4 Структурная схема асинхронного приемника USART



Рекомендованные действия при приеме данных в асинхронном режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 18.3).
2. Выбрать асинхронный режим сбросом бита SYNC в '0' и установкой бита SPEN в '1'.
3. Если необходимо, разрешить прерывания установкой битов RCIE, PEIE и GIE в '1'.
4. Если прием 9-разрядный, установить бит RX9 в '1'.
5. Разрешить прием установкой бита CREN в '1'.
6. Ожидать установку бита RCIF, или прерывание, если оно разрешено битом RCIE.
7. Считать 9-й бит данных (если разрешен 9-разрядный прием) из регистра RCSTA и проверить возникновение ошибки.
8. Считать 8 бит данных из регистра RCREG.
9. При возникновении ошибки переполнения сбросить бит CREN в '0'.

Рис. 18-5 Временная диаграмма приема данных



Примечание. На временной диаграмме показан последовательный прием трех байт. Регистр RCREG (приемный буфер) читается после приема трех байт, поэтому устанавливается бит OERR в '1'.

18.4.3 Настройка 9-разрядного асинхронного приема с детектированием адреса

Примечание. Модули USART в некоторых микроконтроллерах не поддерживают режим детектирования адреса. Смотрите техническую документацию на микроконтроллер.

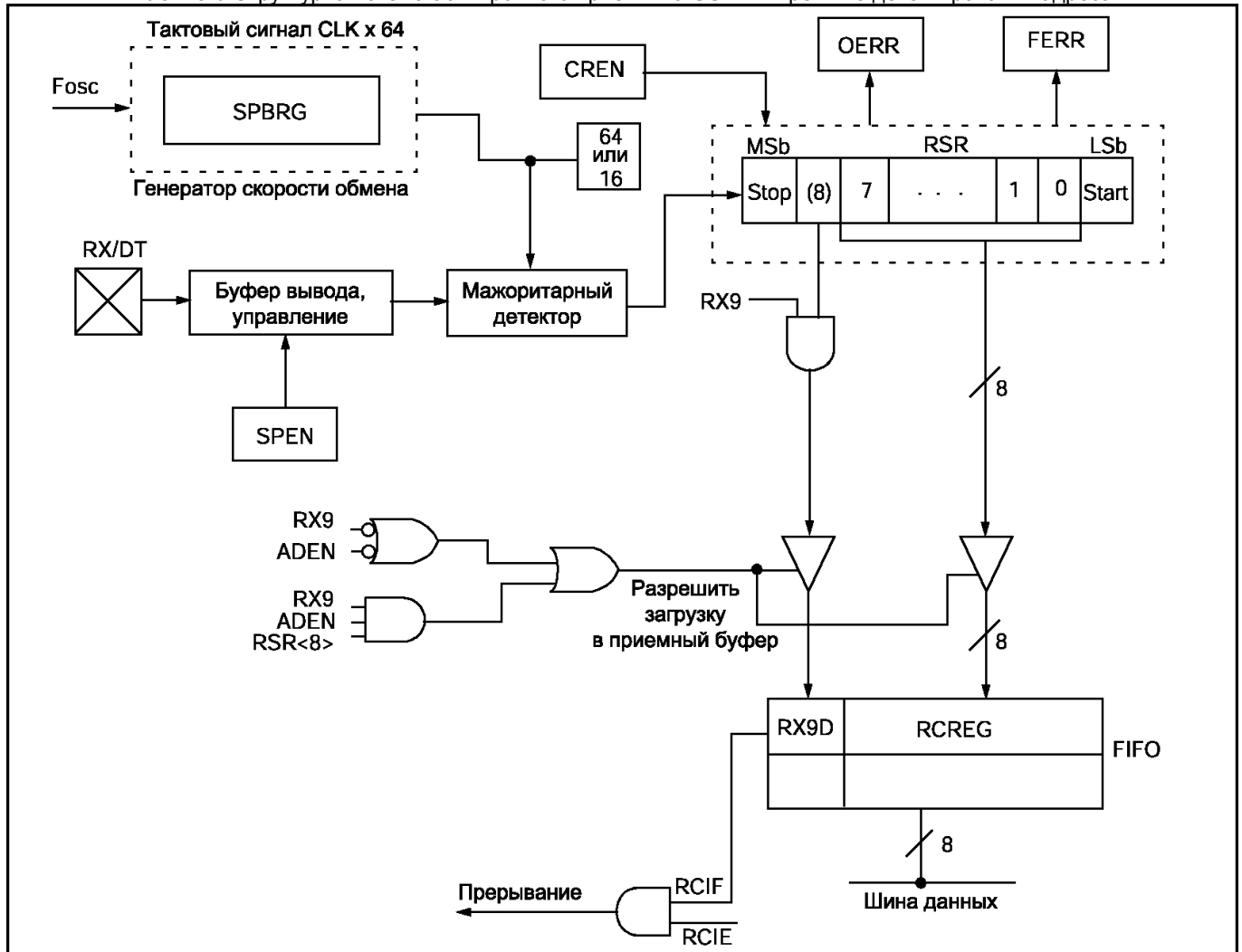
Если установлен бит RX9 в регистре RCSTA, 9-й бит принимаемых данных сохраняется в бите RX9D регистра RCSTA. Модуль USART имеет функцию детектирование адреса для организации сетевого обмена. Детектирование адреса разрешено, если установлены биты ADDEN(RCSTA<3>) и RX9 (RCSTA<6>) в '1'. В этом режиме принимаемые данные записываются в регистр RCREG (9-бит в RX9D регистра RCSTA), если девятый бит принимаемых данных равен 1.

Для передачи данных в сетевой структуре ведущее устройство должно сначала передать адрес ведомого устройства. В байте адреса 9 бит (RSR<8>) равен 1 (в байте данных RSR<8>=0). Если в регистре RCSTA биты RX9 и ADDEN установлены в '1', то разрешено детектирование адреса, все байты данных будут игнорироваться. Однако если 9 бит принятых данных будет равен 1 (принят адресный байт), содержимое регистра RSR передается в приемный буфер. Это позволяет ведомому устройству обрабатывать только адресные байты. Если принятый адресный байт соответствует адресу ведомого устройства, необходимо сбросить бит ADDEN в '0' для перехода в режим приема данных.

Когда бит ADDEN = 1, все принимаемые байты данных игнорируются. После приема стопового бита, данные не загружаются в приемный буфер, прерывание не генерируется. Если принят следующий байт, предыдущий байт в регистре RSR будет потерян.

Детектирование адреса разрешено, если только включен 9-разрядный прием данных (RX9 = 1). Если детектирование адреса запрещено (ADDEN = 0), девятый бит принимаемых данных может использоваться для контроля четности.

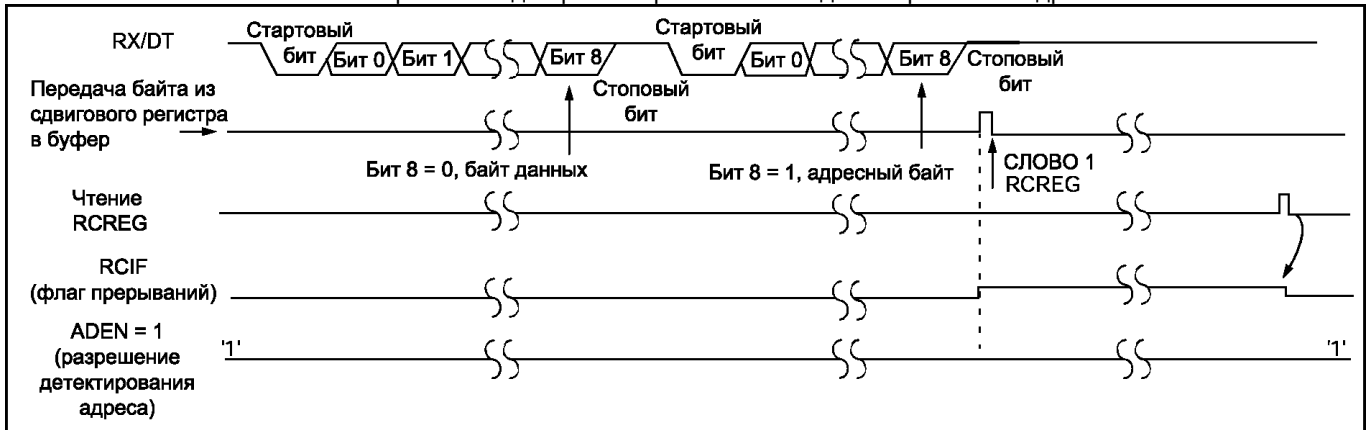
Рис. 18-6 Структурная схема асинхронного приемника USART в режиме детектирования адреса



Рекомендованная последовательность действия при использовании детектора адреса:

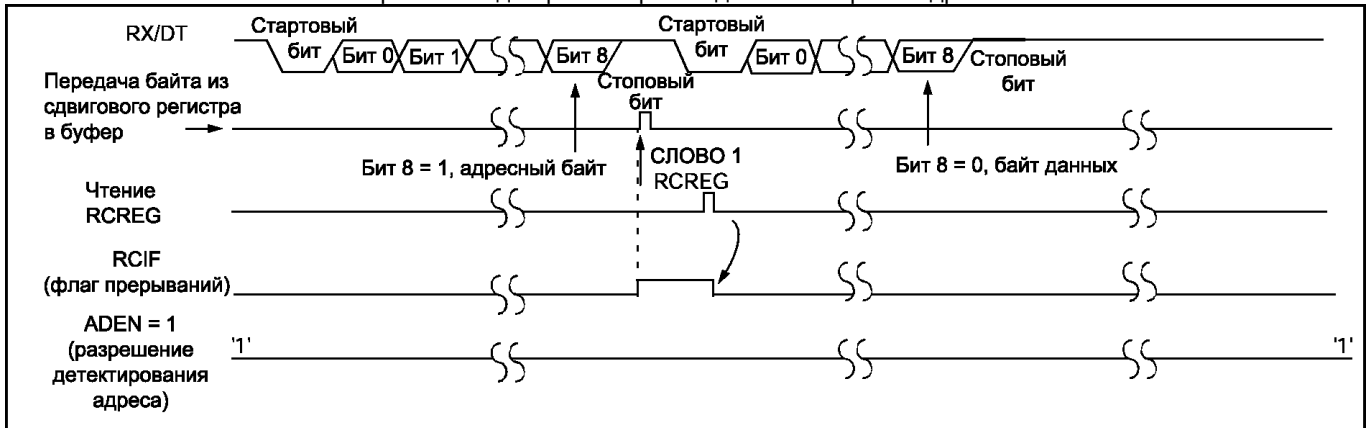
1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 18.3).
2. Выбрать асинхронный режим сбросом бита SYNC в '0' и установкой бита SPEN в '1'.
3. Если необходимо, разрешить прерывания установкой битов RCIE, PEIE и GIE в '1'.
4. Установить бит RX9 в '1' для включения 9-разрядного приема.
5. Установить бит ADDEN в '1' для разрешения детектирования адреса.
6. Разрешить прием установкой бита CREN в '1'.
7. Ожидать установку бита RCIF или прерывание, если оно разрешено битом RCIE.
8. Считать 8 бит данных из регистра RCREG для проверки адресации устройства.
9. При возникновении ошибки переполнения сбросить бит CREN в '0'.
10. Если принятый адрес соответствует адресу устройства, сбросить биты ADDEN и RCIF в '0' для начала приема данных.

Рис. 18-7 Временная диаграмма приема байта с детектированием адреса



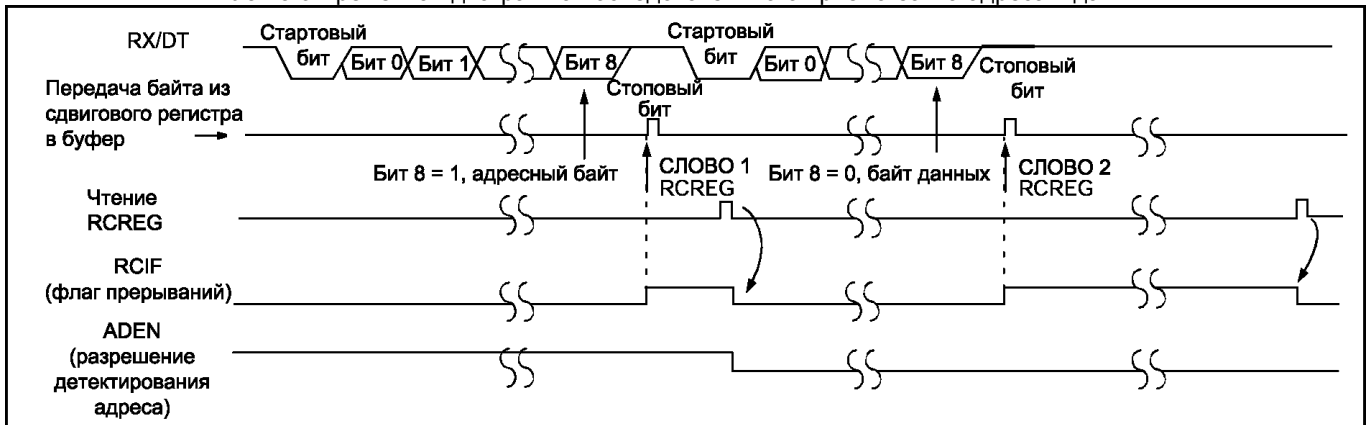
Примечание к рисунку. На временной диаграмме показан последовательный прием байта данных и байта адреса. Байт данных не записывается в RCREG, т.к. ADDEN=1, а бит8 = 0.

Рис. 18-8 Временная диаграмма приема данных с первым адресным байтом



Примечание к рисунку. На временной диаграмме показан последовательный прием байта адреса и байта данных. Байт данных не записывается в RCREG, т.к. ADDEN не был сброшен в '0' (ADDEN=1), а бит8 = 0.

Рис. 18-9 Временная диаграмма последовательного приема байта адреса и данных

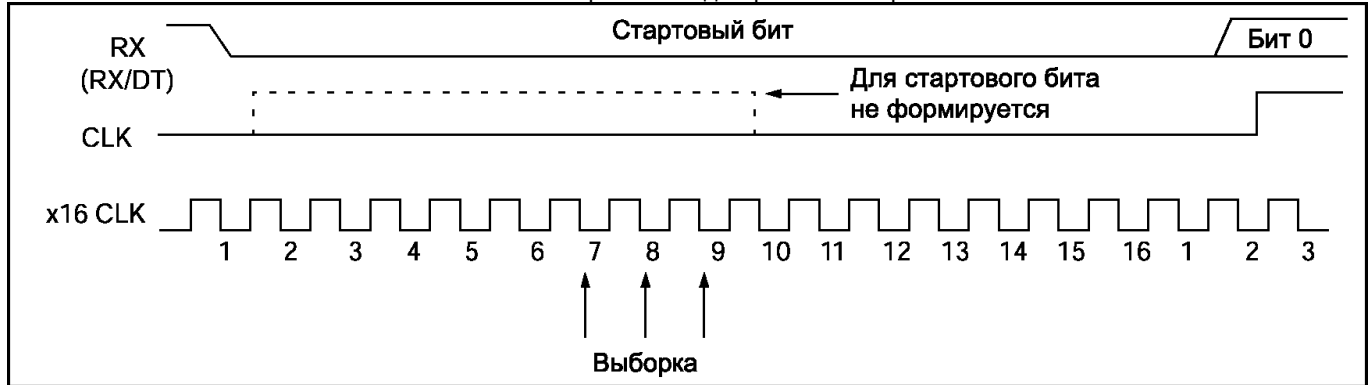


Примечание к рисунку. На временной диаграмме показан последовательный прием байта адреса и байта данных. Байт данных сохраняется в регистре RCREG, потому что бит ADDEN был сброшен в '0' после совпадения адреса. Содержимое регистра RSR всегда будет передаваться в регистр RCREG независимо от состояния бита 8.

18.4.4 Выборка

Сигнал с входа RX/DT опрашивается цепью мажоритарного детектора три раза за такт передачи, чтобы определить, высокого или низкого уровня сигнал присутствует на входе. На рисунке 18-10 показана временная диаграмма выборки данных. Методика выборки одинакова для любого состояния бита BRGH (отличие в частоте тактового сигнала выборки данных x16).

Рис. 18-10 Временная диаграмма выборки



18.4.4.1 Исключения

Все новые микроконтроллеры будут иметь методику выборки данных, показанную на рисунке 18-10. Исключением являются следующие микроконтроллеры:

- PIC16C63
- PIC16C65
- PIC16C65A
- PIC16C73
- PIC16C73A
- PIC16C74
- PIC16C74A

Сигнал с входа RX/DT опрашивается цепью мажоритарного детектора три раза за такт передачи, чтобы определить высокого или низкого уровня сигнал присутствует на входе. Если выбран низкоскоростной режим (BRRH=0), то выборка производится по седьмому, восьмому и девятому заднему фронту тактового сигнала x16 (см. рисунок 18-11). Если BRGH = 1 (выбран высокоскоростной режим), выборка производится на втором такте сигнала x4 тремя запросами (см. рисунки 18-12, 18-13).

Рис. 18-11 Временная диаграмма выборки (BRGH = 0)

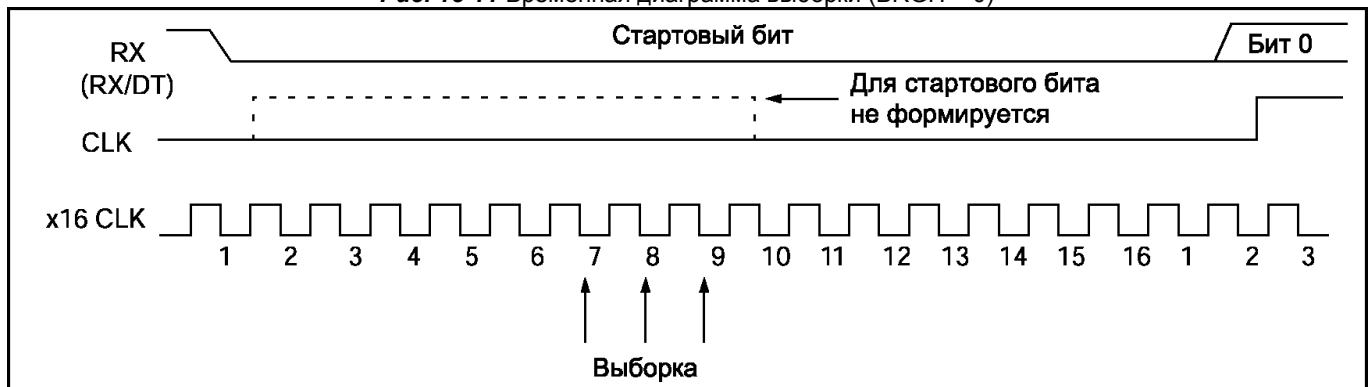


Рис. 18-12 Временная диаграмма выборки (BRGH = 1)

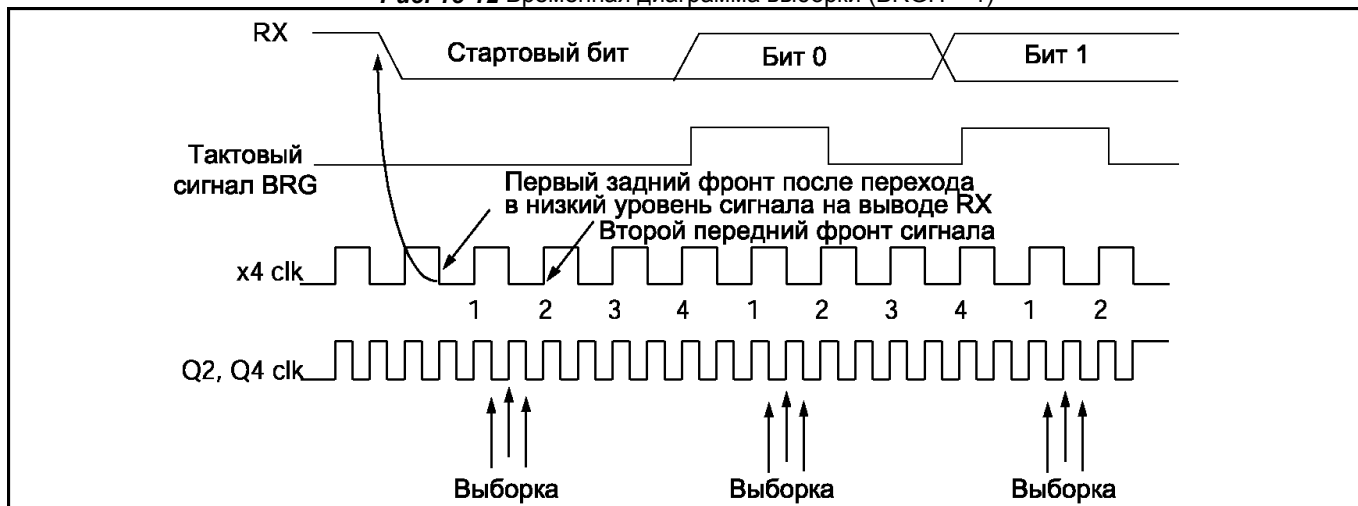


Рис. 18-13 Временная диаграмма выборки (BRGH = 1)

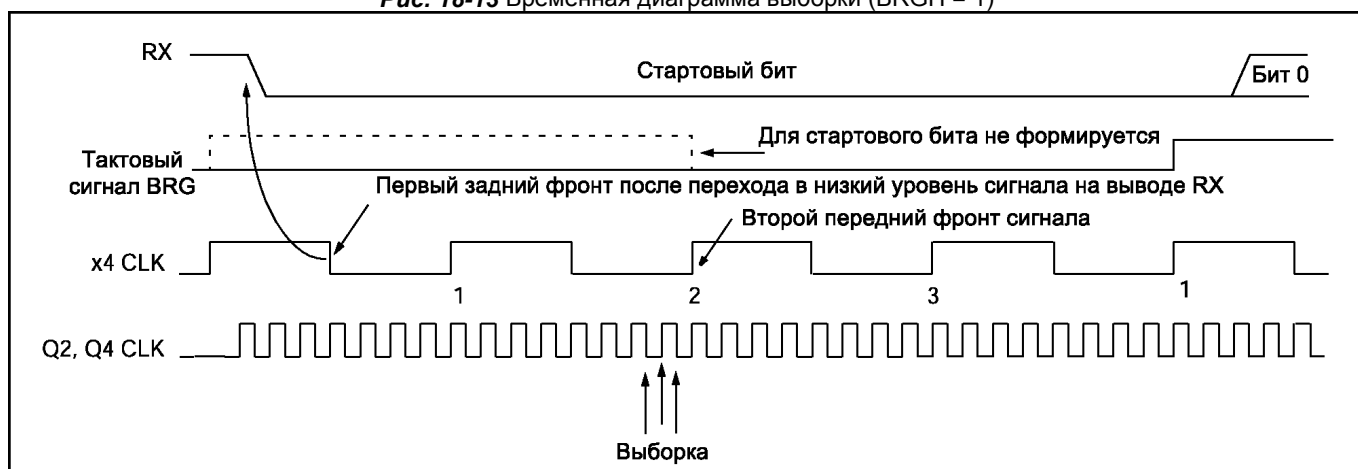


Таблица 18-7 Регистры и биты, связанные с работой приемника USART в асинхронном режиме

Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR, BOR	Другие сбросы
INTCON	GIE	PEIE	TOIE	INTE	RBIF ⁽²⁾	TOIF	INTF	RBIF ⁽²⁾	0000 000x	0000 000u
PIR	RCIF ⁽¹⁾								0	0
PIE	RCIE ⁽¹⁾								0	0
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
RCREG	Регистр данных приемника USART								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010
SPBRG	Регистр генератора скорости USART								0000 0000	0000 0000

Обозначения: - = не используется, читается как 0; u = не изменяется; x = не известно; q = зависит от условий. Затененные биты на работу не влияют.

Примечания:

1. Расположение битов смотрите в технической документации на микроконтроллер.
2. В некоторых микроконтроллерах эти биты могут обозначаться как GPIE и GPIF.

18.5 Синхронный ведущий режим USART

В ведущем синхронном режиме данные передаются полудуплексом, т.е. прием и передача не происходит одновременно. При передаче запрещен прием и наоборот. Синхронный режим включается установкой бита SYNC (TXSTA<4>) в '1'. Также необходимо включить модуль USART, установкой бита SPEN (RCSTA<7>) в '1', для настройки портов ввода/вывода TX/CK и RX/DT в качестве тактового сигнала CK и линии данных DT соответственно. В режиме ведущего модуль USART формирует тактовый сигнал CK. Выбор режима ведущего производится установкой бита CSRC (TXSTA<7>) в '1'.

18.5.1 Передача синхронного ведущего

Структурная схема передатчика USART показана на рисунке 18-1. Главным в передатчике является сдвиговый регистр TSR. Сдвиговый регистр получает данные из буфера передатчика TXREG. В регистр TSR не загружаются новые данные, пока не будет передан последний бит предыдущего байта. После передачи последнего бита предыдущего байта TSR загружается новым значением из TXREG (если оно присутствует), и устанавливается флаг прерывания TXIF. Это прерывание может быть разрешено/запрещено битом TXIE. Флаг TXIF устанавливается вне зависимости от состояния бита TXIE и может быть сброшен только загрузкой новых данных в регистр TXREG. Также, как TXIF отображает состояние TXREG, бит TRMT (TSTA<1>) показывает состояние регистра TSR. Этот бит не вызывает генерацию прерывания, доступен только на чтение и устанавливается в '1', когда регистр TSR пуст. Регистр TSR не отображается на память и не доступен пользователю.

Передача разрешается установкой бита TXEN (TXSTA<5>), но не начнется до тех пор, пока не будут загружены регистр TXREG. Данные появятся на выходе по первому переднему фронту тактового сигнала CK. Выходные данные стабилизируются к заднему фронту тактового сигнала (см. рисунок 18-14). Можно сначала загрузить данные в TXREG, и потом установить бит TXEN в '1' (см. рисунок 18-15). Это полезно при низких скоростях передачи данных, когда генератор BRG остановлен, а биты TXEN, CREN, SREN сброшены в нуль. Установка бита TXEN в '1' запустит генератор BRG, который немедленно начнет формировать тактовый сигнал. Обычно после разрешения передачи регистр TSR пуст, и в результате записи в TXREG данные переписываются в TSR, что позволяет реализовать слитную передачу данных.

Сброс бита TXEN в '0' вызовет немедленное прекращение передачи, остановку логики передатчика и переведет выходы CK, DT в третье состояние. Установка бита CREN или SREN во время передачи вызовет ее прекращение и переведет вывод DT в третье состояние (для приема данных), а вывод CK останется выходом тактового сигнала, если бит CSRC установлен. Логика передатчика не сбрасывается, хотя отключена от вывода, для сброса логики передатчика необходимо очистить бит TXEN. Если бит SREN был установлен в '1', чтобы прервать текущую передачу и принять одиночное слово, то получив слово бит SREN сбросится. Последовательный порт продолжит передачу, если установлен бит TXEN. Линия данных DT переключится из третьего состояния для начала передачи данных. Чтобы это предотвратить, необходимо сбросить бит TXEN в '0'.

Для разрешения 9-разрядной передачи, необходимо установить бит TX9 (TXSTA<6>) в '1'. Девятый бит данных записывается в бит TX9D (TXSTA<0>). Девятый бит данных должен быть указан до записи в регистр TXREG, потому что данные, записанные в регистр TXREG, могут быть сразу загружены в сдвиговый регистр TSR.

Рекомендованная последовательность действий для передачи данных в синхронном ведущем режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 18.3).
2. Выбрать синхронный ведущий режим установкой битов SYNC, SPEN и CSRC в '1'.
3. Если необходимо, разрешить прерывания установкой бита TXIE в '1'.
4. Если передача 9-разрядная, установить бит TX9 в '1'.
5. Разрешить передачу установкой бита TXEN в '1'.
6. Если передача 9-разрядная, записать 9-й бит данных в TX9D.
7. Записать данные в регистр TXREG.

Рис. 18-14 Временная диаграмма синхронной передачи двух 8-разрядных слов (SPBRG = 0)

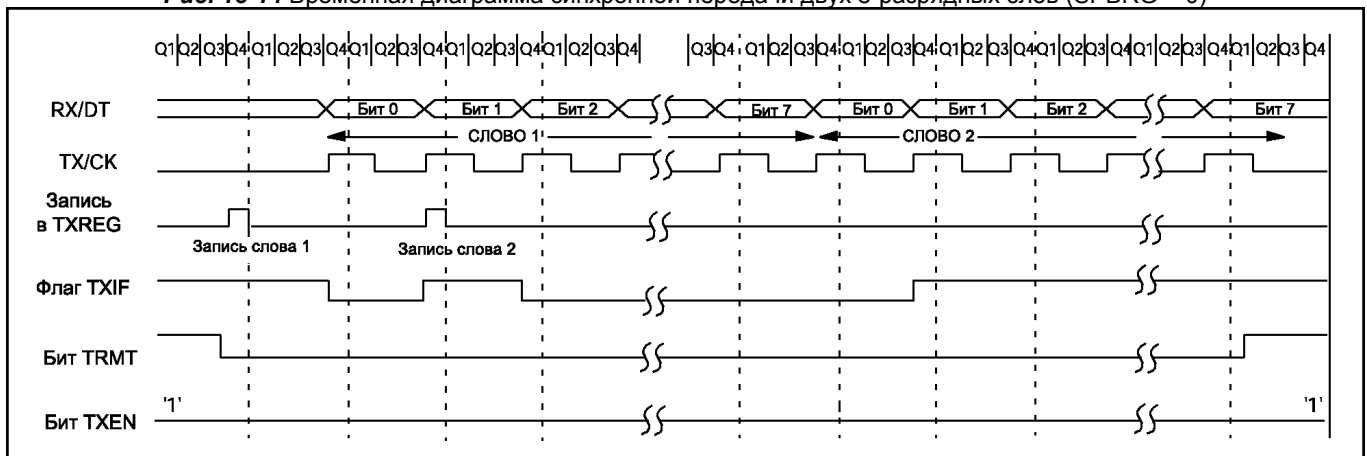


Рис. 18-15 Временная диаграмма синхронной передачи (после установки бита TXEN в '1')

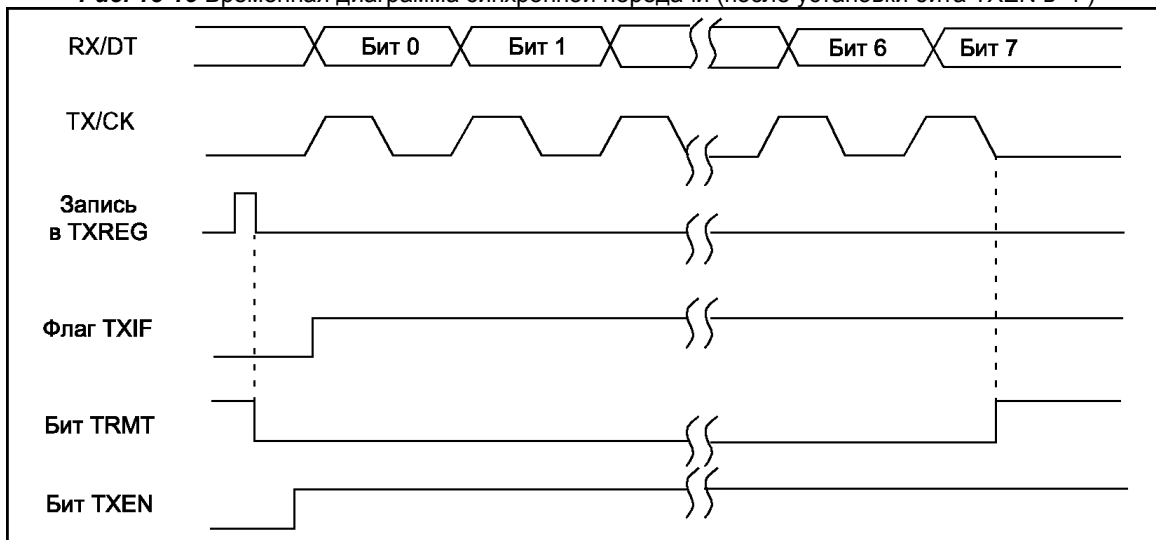


Таблица 18-8 Регистры и биты, связанные с работой передатчика USART в синхронном ведущем режиме

Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR, BOR	Другие сбросы
INTCON	GIE	PEIE	TOIE	INTE	RBIE ⁽²⁾	TOIF	INTF	RBIF ⁽²⁾	0000 000x	0000 000u
PIR	TXIF ⁽¹⁾								0	0
PIE	TXIE ⁽¹⁾								0	0
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
TXREG	Регистр данных передатчика USART								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010
SPBRG	Регистр генератора скорости USART								0000 0000	0000 0000

Обозначения: - = не используется, читается как 0; u = не изменяется; x = не известно; q = зависит от условий. Затененные биты на работу не влияют.

Примечания:

1. Расположение битов смотрите в технической документации на микроконтроллер.
2. В некоторых микроконтроллерах эти биты могут обозначаться как GPIE и GPIF.

18.5.2 Прием синхронного ведущего

В синхронном режиме прием разрешается установкой битов CREN (RCSTA<4>) или SREN (RCSTA<5>) в '1'. Линия данных RX/DТ опрашивается по заднему фронту тактового сигнала. Если бит SREN установлен в '1', то принимается одиночное слово. Если бит CREN установлен в '1', то в не зависимости от состояния бита SREN будет производиться поточный прием данных, пока CREN не будет равен нулю. Получив последний бит очередного слова, данные переписываются из RSR в регистр RCREG (если он пуст). После записи в регистр RCREG выставляется флаг прерывания RCIF. Прерывание можно разрешить/запретить установкой/сбросом бита RCIE. Флаг RCIF доступен только на чтение, сбрасывается аппаратно при чтении из регистра RCREG. Регистр RCREG имеет двойную буферизацию, т.е. представляет собой двухуровневый FIFO. Поэтому можно принять 2 байта данных в FIFO RCREG и третий в регистр RSR. Если FIFO заполнен и обнаружен последний бит третьего байта, устанавливается бит переполнения приемника OERR (RCSTA<1>) в '1'. Байт принятый в RSR будет потерян. Для извлечения двух байт из FIFO необходимо дважды прочитать из регистра RCREG. Бит OERR нужно программно очистить сбросом бита CREN, т.е. запрещением приема. В любом случае, если бит OERR установлен, логика приема отключена.

Девятый бит принятых данных буферизируются так же, как принятые данные. Рекомендуется сначала прочитать регистр RCSTA, затем RCREG, чтобы не потерять бит записанный в RX9D.

Рекомендованные действия при приеме данных в синхронном ведущем режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 18.3).
2. Выбрать синхронный ведущий режим установкой битов SYNC, SPEN и CSRC в '1'.
3. Сбросить биты SREN и CREN в '0'.
4. Если необходимо, разрешить прерывания установкой бита RCIE в '1'.
5. Если прием 9-разрядный, установить бит RX9 в '1'.
6. Если необходимо выполнить одиночный прием, установите бит SREN в '1'. Для поточного приема установите бит CREN в '1'.
7. Ожидать установку бита RCIF, или прерывание, если оно разрешено битом RCIE.
8. Считать 9-й бит данных (если разрешен 9-разрядный прием) из регистра RCSTA и проверить возникновение ошибки.
9. Считать 8 бит данных из регистра RCREG.
10. При возникновении ошибки переполнения сбросить бит CREN в '0'.

Рис. 18-16 Временная диаграмма синхронного приема в режиме ведущего (SREN = 1, SPBRG = 0)

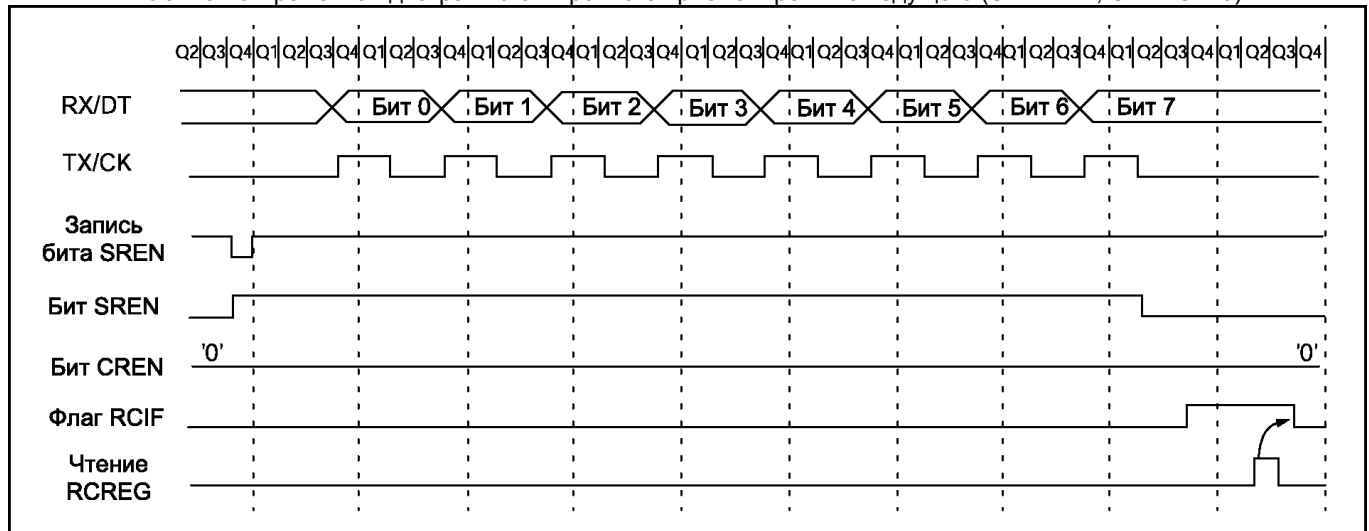


Таблица 18-9 Регистры и биты, связанные с работой приемника USART в синхронном ведущем режиме

Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR, BOR	Другие сбросы
INTCON	GIE	PEIE	TOIE	INTE	RBIE ⁽²⁾	TOIF	INTF	RBIF ⁽²⁾	0000 000x	0000 000u
PIR	RCIF ⁽¹⁾								0	0
PIE	RCIE ⁽¹⁾								0	0
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
RCREG	Регистр данных приемника USART								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010
SPBRG	Регистр генератора скорости USART								0000 0000	0000 0000

Обозначения: - = не используется, читается как 0; u = не изменяется; x = не известно; q = зависит от условий. Затененные биты на работу не влияют.

Примечания:

1. Расположение битов смотрите в технической документации на микроконтроллер.
2. В некоторых микроконтроллерах эти биты могут обозначаться как GPIE и GPIF.

18.6 Синхронный ведомый режим USART

Режим ведомого отличается от ведущего тем, что микроконтроллер использует тактовый сигнал с входа TX/CK, а не формирует его самостоятельно. Это позволяет устройству принимать и передавать данные в SLEEP режиме. Выбрать режим ведомого можно сбросом бита CSRC (TXSTA<7>) в '0'.

18.6.1 Передача синхронного ведомого

Работа передатчика в обоих синхронных режимах одинакова, за исключением работы ведомого в SLEEP режиме микроконтроллера.

Если в TXREG были записаны два слова подряд и исполнена команда SLEEP, выполняются следующие действия:

- Первое слово сразу записывается в TSR и передается по мере прихода тактового сигнала.
- Второе слово остается в TXREG
- Флаг TXIF не устанавливается в '1'.
- После передачи первого слова, второе слово передается из TXREG в TSR, и устанавливается флаг TXIF в '1'.
- Если установлен бит TXIE в '1', микроконтроллер выходит из режима SLEEP, происходит переход по вектору 0004h, если GIE=1.

Рекомендованная последовательность действий для передачи данных в синхронном ведомом режиме:

- Выбрать синхронный ведомый режим установкой битов SYNC, SPEN в '1' и сбросом CSRC в '0'.
- Сбросить биты SREN и CREN в '0'.
- Если необходимо, разрешить прерывания установкой бита TXIE в '1'.
- Если передача 9-разрядная, установить бит TX9 в '1'.
- Разрешить передачу установкой бита TXEN в '1'.
- Если передача 9-разрядная, записать 9-й бит данных в TX9D.
- Для начала передачи записать данные в регистр TXREG.
- Если используются прерывания, то биты GIE и PEIE в регистре INTCON должны быть установлены в '1'.

Таблица 18-10 Регистры и биты, связанные с работой передатчика USART в синхронном ведомом режиме

Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR, BOR	Другие сбросы
INTCON	GIE	PEIE	TOIE	INTE	RBIE ⁽²⁾	TOIF	INTF	RBIF ⁽²⁾	0000 000x	0000 000u
PIR	TXIF ⁽¹⁾								0	0
PIE	TXIE ⁽¹⁾								0	0
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
TXREG	Регистр данных передатчика USART								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010

Обозначения: - = не используется, читается как 0; u = не изменяется; x = не известно; q = зависит от условий. Затененные биты на работу не влияют.

Примечания:

- Расположение битов смотрите в технической документации на микроконтроллер.
- В некоторых микроконтроллерах эти биты могут обозначаться как GPIE и GPIF.

18.6.2 Прием синхронного ведомого

Работа приемника в обоих синхронных режимах одинакова, кроме работы в режиме SLEEP. В синхронном ведомом режиме не учитывается состояние бита SREN.

Если перед выполнением команды SLEEP был разрешен прием (бит CREN = 1), то модуль USART может принять слово в SLEEP режиме микроконтроллера. По окончании приема данные передаются из регистра RSR в RCREG. Если бит RCIE = 1, микроконтроллер выйдет из режима SLEEP. Если GIE=1, произойдет переход по адресу вектора прерываний 0004h.

Рекомендованные действия при приеме данных в синхронном ведомом режиме:

1. Выбрать синхронный ведомый режим установкой битов SYNC, SPEN в '1' и сбросом CSRC в '0'.
2. Если необходимо, разрешить прерывания установкой бита RCIE в '1'.
3. Если прием 9-разрядный, установить бит RX9 в '1'.
4. Установите бит CREN в '1' для разрешения приема.
5. Ожидать установку бита RCIF, или прерывание, если оно разрешено битом RCIE.
6. Считать 9-й бит данных (если разрешен 9-разрядный прием) из регистра RCSTA и проверить возникновение ошибки.
7. Считать 8 бит данных из регистра RCREG.
8. При возникновении ошибки переполнения сбросить бит CREN в '0'.

Таблица 18-11 Регистры и биты, связанные с работой приемника USART в синхронном ведомом режиме

Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR, BOR	Другие сбросы
INTCON	GIE	PEIE	T0IE	INTE	RBIE ⁽²⁾	T0IF	INTF	RBIF ⁽²⁾	0000 000x	0000 000u
PIR	RCIF ⁽¹⁾								0	0
PIE	RCIE ⁽¹⁾								0	0
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
RCREG	Регистр данных приемника USART								0000 0000	0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010

Обозначения: - = не используется, читается как 0; u = не изменяется; x = не известно; q = зависит от условий.

Затененные биты на работу не влияют.

Примечания:

1. Расположение битов смотрите в технической документации на микроконтроллер.
2. В некоторых микроконтроллерах эти биты могут обозначаться как GPIE и GPIF.

18.7 Инициализация

В примере 18-2 показана инициализация приемника/передатчика USART в асинхронном режиме, а в примере 18-3 представлена инициализация модуля USART в синхронном режиме. В обоих режимах используются 8 - разрядные данные и одинаковая скорость передачи данных.

Пример 18-2 Инициализация модуля USART в асинхронном режиме

```
BSF      STATUS, RP0      ; Банк 1
MOVLW   <baudrate>      ; Установить скорость обмена данными
MOVWF   SPBRG
MOVLW   0x40             ; Передача 8 - разрядных данных, включить передатчик,
MOVWF   TXSTA            ; низкоскоростной асинхронный режим
BSF     PIE1, TXIE       ; Разрешить прерывания от передатчика USART
BSF     PIE1, RCIE       ; Разрешить прерывания от приемника USART
BCF     STATUS, RP0      ; Банк 0
MOVLW   0x90             ; Прием 8 - разрядных данных, включить приемник,
MOVWF   RCSTA            ; включить модуль USART
```

Пример 18-3 Инициализация модуля USART в синхронном режиме

```
BSF      STATUS, RP0      ; Банк 1
MOVLW   <baudrate>      ; Установить скорость обмена данными
MOVWF   SPBRG
MOVLW   0xB0             ; Передача 8 - разрядных данных, включить передатчик,
MOVWF   TXSTA            ; синхронный режим
BSF     PIE1, TXIE       ; Разрешить прерывания от передатчика USART
BSF     PIE1, RCIE       ; Разрешить прерывания от приемника USART
BCF     STATUS, RP0      ; Банк 0
MOVLW   0x90             ; Прием 8 - разрядных данных, включить приемник,
MOVWF   RCSTA            ; включить модуль USART, начать прием данных
```


18.8 Ответы на часто задаваемые вопросы

Если вы не найдете ответа на Ваш вопрос в этой главе раздела, задайте его, написав нам письмо по адресу support@microchip.ru.

Вопрос 1: В асинхронном режиме при передаче данных возникает много ошибок.

Ответ 1:

Наиболее часто встречающимися причинами этого может быть:

1. На одном из микроконтроллеров Вы используете высокоскоростной режим (BRGH = 1), который имеет некоторые особенности для PIC16C65/65A/73/73A/74/74A. Смотрите техническую документацию на микроконтроллеры.
2. Неправильно вычислено значение для загрузки в регистр SPBRG.
3. Очень большая ошибка скорости приемника и передатчика.

18.9 Дополнительная литература

Дополнительная литература и примеры применения, связанные с этим разделом документации. Примеры применения не могут использоваться для всех микроконтроллеров среднего семейства (PIC16CXXX). Как правило примеры применения написаны для конкретной группы микроконтроллеров, но принципы примеров могут использоваться, сделав незначительные изменения (с учетом существующих ограничений).

Документы, связанные с модулем USART в микроконтроллерах PICmicro MCU:

Документ	Номер
Serial Port Utilities Утилиты последовательного порта	AN547
Servo Control of a DC Brushless Motor Управление двигателем постоянного тока	AN532

Уважаемые господа!

ООО «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы **Microchip Technology Inc** и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу support@microchip.ru

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:
(095) 963-9601
(095) 737-7545
и адресу sales@microchip.ru

На сайте
www.microchip.ru

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.